

Reference 4

Partial Translation:

Japanese Patent Application laid open No. H03-284871

Title of the invention: Semiconductor device and Method for
Manufacturing thereof

Application No.: H02-087115
Filing Date : March 30, 1990
Publication Date: December 16, 1991
Inventor : Yoshitaka GOTO et al.,
Applicant : Nippon-Denso Co. Ltd.

As shown in Fig.3, the surface of a single-crystalline silicone substrate 2 is conjunct to an n-channel single-crystalline silicone substrate 3 having $\langle 110 \rangle$ crystalline plane (a second single-crystalline silicone). The surface of the single-crystalline silicone substrate 3 is polished to arrange the thickness thereof. Then, a trench 4 having the width of 1.5 micro meters is formed around the element formed area (diaphragm formed area) A of the single-crystalline silicone substrate using trench technique. More specifically, a silicone oxide layer 5 is formed on the surface of the single-crystalline silicone substrate 3, a mask pattern is formed by use of conventional photo-lithograph technique, and the trench 4, the end of which reaches the conjunction surface to the single-crystalline silicone substrate 2, is formed.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-284871

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)12月16日

H 01 L 27/06
21/331
27/04
29/73
29/84

R 7514-4M

B 2104-4M
7735-4M
8225-4M

H 01 L 27/06 3 2 1 Z
29/72

審査請求 未請求 請求項の数 3 (全7頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑮ 特 願 平2-87115

⑯ 出 願 平2(1990)3月30日

⑰ 発明者 後 藤 吉 孝 愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内
⑱ 発明者 藤 井 哲 夫 愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内
⑲ 出 願 人 日本電装株式会社 愛知県刈谷市昭和町1丁目1番地
⑳ 代 理 人 弁理士 恩田 博宣 外1名

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

1. 基板表面に露出し、第1の素子形成領域となる第1の単結晶シリコン部と、

基板表面に露出し、前記第1の単結晶シリコン部の面方位とは異なる面方位を有し、かつ、第2の素子形成領域となる第2の単結晶シリコン部とを備えてなる半導体装置。

2. 第1の面方位を有する第1の単結晶シリコン基板の平滑面に、この第1の単結晶シリコン基板の平滑面の一部が露出する状態で第2の面方位を有する第2の単結晶シリコン基板を接合する第1工程と、

前記第1の単結晶シリコン基板の平滑面上にエピタキシャル層を形成する第2工程と、

前記エピタキシャル層を所定量除去して、表面が平滑な状態で、第1の素子形成領域となる前記エピタキシャル層と、第2の素子形成領域となる

前記第2の単結晶シリコン基板とを露出させる第3工程と

を備えてなる半導体装置の製造方法。

3. 前記第1工程において第2の単結晶シリコン基板の露出部にシリコン酸化膜を形成し、この状態で第2工程のエピタキシャル層を形成してなる請求項2に記載の半導体装置の製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

この発明は、半導体装置に関するものである。

[従来技術及び課題]

近年、集積回路装置においては高集積化、インテリジェント化が要求されてきているが、これらの要求を満たすものは現れてきていない。

この発明の目的は、インテリジェント化、高集積化に優れた半導体装置を提供することにある。

[課題を解決するための手段]

第1の発明は、基板表面に露出し、第1の素子形成領域となる第1の単結晶シリコン部と、基板表面に露出し、前記第1の単結晶シリコン部の面

方位とは異なる面方位を有し、かつ、第2の素子形成領域となる第2の単結晶シリコン部とを備えた半導体装置をその要旨とする。

第2の発明は、第1の面方位を有する第1の単結晶シリコン基板の平滑面に、この第1の単結晶シリコン基板の平滑面の一部が露出する状態で第2の面方位を有する第2の単結晶シリコン基板を接合する第1工程と、前記第1の単結晶シリコン基板の平滑面上にエピタキシャル層を形成する第2工程と、前記エピタキシャル層を所定量除去して、表面が平滑な状態で、第1の素子形成領域となる前記エピタキシャル層と、第2の素子形成領域となる前記第2の単結晶シリコン基板とを露出させる第3工程とを備えた半導体装置の製造方法をその要旨とする。

第3の発明は、第2の発明での第1工程において第2の単結晶シリコン基板の露出部にシリコン酸化膜を形成し、この状態で第2工程のエピタキシャル層を形成するものである半導体装置の製造方法をその要旨とする。

シリコン基板とが露出される。その結果、第1の発明の半導体装置が製造される。

第3の発明は、第2の発明での第1工程において第2の単結晶シリコン基板の露出部にシリコン酸化膜が形成され、この状態で第2工程でエピタキシャル層が形成されるので、第1の単結晶シリコン基板のみのエピタキシャル層が形成され結晶方位の乱れがない。

[第1実施例]

この発明を半導体圧力センサに具体化した第1実施例を図面に従って説明する。

第1図には半導体圧力センサを示し、第2図～第7図にはその製造方法を示す。

第2図に示すように、 $\langle 100 \rangle$ 面方位を有する単結晶シリコン基板1と、 $\langle 111 \rangle$ 面方位を有するP型の単結晶シリコン基板2（第1の単結晶シリコン基板）とを用意し、単結晶シリコン基板1の表面に、単結晶シリコン基板2を直接接合する。そして、単結晶シリコン基板2の表面を鏡面研磨して所定の厚さにする。

[作用]

第1の発明は、第1及び第2の素子に応じた第1及び第2の単結晶シリコン部の方位面を選択することにより素子特性に優れた半導体装置となる。即ち、例えば、第1の素子をバイポーラトランジスタとし第2の素子をMOSトランジスタとした場合に、第1の単結晶シリコン部を $\langle 111 \rangle$ 面とし、又、第1の単結晶シリコン部を $\langle 100 \rangle$ 面とすることによりトランジスタ特性に優れた集積回路装置とすることができる。

第2の発明は、第1工程により第1の面方位を有する第1の単結晶シリコン基板の平滑面に、この第1の単結晶シリコン基板の平滑面の一部が露出する状態で第2の面方位を有する第2の単結晶シリコン基板が接合され、第2工程により前記第1の単結晶シリコン基板の平滑面上にエピタキシャル層が形成され、第3工程により前記エピタキシャル層が所定量除去され、表面が平滑な状態で、第1の素子形成領域となる前記エピタキシャル層と、第2の素子形成領域となる前記第2の単結晶

single crystalline
polycrystalline

次に、第3図に示すように、単結晶シリコン基板2の表面にN型の $\langle 110 \rangle$ 面方位を有する単結晶シリコン基板3（第2の単結晶シリコン基板）を直接接合する。そして、単結晶シリコン基板3の表面を鏡面研磨して所定厚さにする。引き続き、トレンチ技術を用いて単結晶シリコン基板3の素子形成領域（ダイアフラム形成領域）Aの回りに幅1.5 μm の溝4を形成する。即ち、単結晶シリコン基板3の表面にシリコン酸化膜5を形成し、通常のフォトリソ技術を用いてマスクパターンを形成しトレンチによって単結晶シリコン基板2との接合面に至る溝4を形成する。

この後、このシリコン酸化膜5をマスクとしてP型不純物を拡散し、溝4にP⁺の拡散層6を設ける。このP⁺拡散層6により後述するピエゾ抵抗層と周辺素子とが電氣的に分離される。

次に、第4図に示すように、熱酸化により溝4内を含む単結晶シリコン基板3の表面に厚さ1 μm のシリコン酸化膜7を形成する。このとき、溝4の内壁が両側から酸化されるため、熱酸化によ

り溝4内がシリコン酸化膜7で満たされる。又、単結晶シリコン基板3の厚さは5 μ mになる。

そして、第5図に示すように、フォトリソ技術により単結晶シリコン基板3の素子形成領域A以外のシリコン酸化膜7を除去する。さらに、残った素子形成領域Aのシリコン酸化膜7をエッチングマスクとして素子形成領域A以外の単結晶シリコン基板3をKOH、EPW等のアルカリ溶液によりエッチングする。このとき、アルカリエッチングはシリコンの面方位によりエッチング速度が異なり、例えば、 $\langle 111 \rangle$ 面は $\langle 100 \rangle$ 面に対し数100分の1となる。これにより、単結晶シリコン基板2が露出した時点でエッチングが停止する。

尚、単結晶シリコン基板2と単結晶シリコン基板3を接合する際、接合界面にシリコン酸化膜を形成し、このシリコン酸化膜を介して接合させてもよい。この場合には、シリコン酸化膜が露出することによっても単結晶シリコン基板3のエッチングは停止する。

する。

そして、圧力測定の際には、ダイヤフラムに加わる圧力をピエゾ抵抗層9にて電気的に変換して、バイポーラトランジスタ10、11を含む周辺回路にて温度補償及び増幅されて取り出される。

このように本実施例の半導体圧力センサにおいては、 $\langle 111 \rangle$ 面(第1の面方位)を有する単結晶シリコン基板2(第1の単結晶シリコン基板)の平滑面に、この単結晶シリコン基板2の平滑面の一部が露出する状態で $\langle 110 \rangle$ 面(第2の面方位)を有する単結晶シリコン基板3(第2の単結晶シリコン基板)を接合し(第1工程)、単結晶シリコン基板2の平滑面上にエピタキシャル層8を形成し(第2工程)、さらに、エピタキシャル層8を所定量除去して、表面が平滑な状態で、バイポーラトランジスタ形成領域となるエピタキシャル層8と、ピエゾ抵抗層形成領域となる単結晶シリコン基板3とを露出させた(第3工程)。

その結果、基板表面に露出し、バイポーラトランジスタ形成領域となる $\langle 111 \rangle$ 面のエピタキ

次に、第6図に示すように、単結晶シリコン基板2上にN型のエピタキシャル層8を厚さ10 μ m以上形成する。その後、第7図に示すように、鏡面研磨によりエピタキシャル層8の表面を所定量除去して表面が平滑な状態で、シリコン酸化膜7を露出させる。

その後、第1図に示すように、単結晶シリコン基板3の上面のシリコン酸化膜7をフッ酸により除去し、さらに、エピタキシャル層8の上面を研磨して単結晶シリコン基板3の上面とエピタキシャル層8の上面とを同一面とする。その後、単結晶シリコン基板1の裏面側からKOH等のエッチング液を用いて異方性エッチングを行い、単結晶シリコン基板2、3によるダイヤフラムが形成される。そして、単結晶シリコン基板3(ダイヤフラム)にピエゾ抵抗層9を4つ形成しブリッジ回路を形成する。さらに、エピタキシャル層8にバイポーラトランジスタ10、11よりなる温度補償回路等の周辺回路を形成する。さらに、配線層12等が形成されて、半導体圧力センサが完成

シャル層8(第1の単結晶シリコン部)と、基板表面に露出し、エピタキシャル層8の面方位とは異なる $\langle 110 \rangle$ 面を有し、かつ、ピエゾ抵抗層形成領域となる単結晶シリコン基板3(第2の単結晶シリコン部)とを備えてなる半導体圧力センサが製造される。

この装置においては、 $\langle 110 \rangle$ 面の単結晶シリコン基板3にはピエゾ抵抗層9が形成されるとともに、 $\langle 111 \rangle$ 面のエピタキシャル層8にはバイポーラトランジスタ10、11が形成できる。即ち、ピエゾ抵抗層9がデバイス特性に優れた $\langle 110 \rangle$ 面に配設できるとともにバイポーラトランジスタ10、11がデバイス特性に優れた $\langle 111 \rangle$ 面に配設できる。

このようにして、ピエゾ抵抗層と周辺回路(バイポーラトランジスタ)の各素子の最高の性能を引き出させることができ、インテリジェント化、高集積化に優れた半導体装置とすることができる。

又、単結晶シリコン基板3の露出部にシリコン酸化膜7を形成し、この状態でエピタキシャル層

8を形成したので、単結晶シリコン基板2のみのエピタキシャル層8が形成され結晶方位の乱れがない。つまり、シリコン酸化膜7がない場合には、 $\langle 111 \rangle$ の単結晶シリコン基板2からのエピタキシャル成長の途中において、 $\langle 110 \rangle$ の単結晶シリコン基板3より成長したエピタキシャル層が混在してしまい結晶の質が悪くなってしまうが、本実施例ではそのようなことが回避される。

さらに、従来、第8図に示すように、異方性エッチングを用いてダイヤフラムを形成する場合、 $\langle 110 \rangle$ 面のエッチングでは制御性よく正方形に形成することができなかったが、本実施例では面方位が $\langle 100 \rangle$ の単結晶シリコンなので制御性よくエッチングして正方形にダイヤフラム部を形成することができる。

[第2実施例]

次に、第2実施例を第9図～第16図に図面に従って説明する。本実施例の半導体圧力センサにおいては、あまり高集積化が要求されないものであり前記第1実施例での単結晶シリコン基板3の

露出部を覆うシリコン酸化膜7を使用することなく工程の簡略化を図っている。

第9図に示すように、 $\langle 111 \rangle$ 面方位を有するP型の単結晶シリコン基板13(第1の単結晶シリコン基板)を用意するとともに、第10図に示すように、 $\langle 100 \rangle$ 面方位を有する単結晶シリコン基板14を用意する。そして、第11図に示すように、単結晶シリコン基板14の表面に、単結晶シリコン基板13を直接接合する。そして、単結晶シリコン基板13の表面を鏡面研磨して所定の厚さにする。

次に、第12図に示すように、単結晶シリコン基板13の表面にN型の $\langle 110 \rangle$ 面方位を有する単結晶シリコン基板15(第2の単結晶シリコン基板)を直接接合する。そして、単結晶シリコン基板15の表面を鏡面研磨して所定厚さにする。

引き続き、第13図に示すように、単結晶シリコン基板15の素子形成領域(ダイヤフラム形成領域)を除く単結晶シリコン基板15をエッチングする。次に、第14図に示すように、単結晶シ

リコン基板13上にN型のエピタキシャル層16を形成する。その後、第15図に示すように、鏡面研磨によりエピタキシャル層16の表面を所定量除去して表面が平滑な状態で、単結晶シリコン基板15を露出させる。

その後、第16図に示すように、単結晶シリコン基板14の裏面側からKOH等のエッチング液を用いて異方性エッチングを行い、単結晶シリコン基板13、15によるダイヤフラムが形成される。そして、単結晶シリコン基板15(ダイヤフラム)にピエゾ抵抗層17を4つ形成しブリッジ回路を形成する。さらに、エピタキシャル層16にバイポーラトランジスタ18、19よりなる温度補償回路等の周辺回路を形成する。さらに、配線層20等が形成されて、半導体圧力センサが完成する。

[第3実施例]

次に、第3実施例を第17図～第25図に従って説明する。

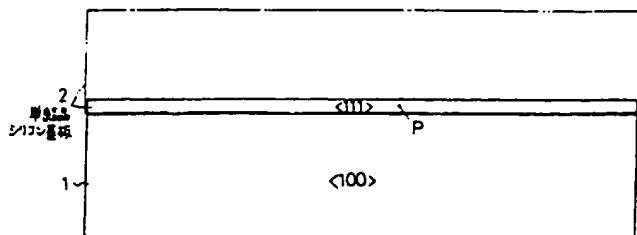
まず、第17図に示すように、N型の $\langle 110 \rangle$

面方位を有する単結晶シリコン基板21を用意し、この表面に所定の深さの凹凸部を形成する。この凹凸部の深さにより半導体圧力センサのダイヤフラムの厚さが決定される。一方、第18図に示す $\langle 100 \rangle$ 面方位を有する単結晶シリコン基板22を用意する。そして、第19図に示すように、単結晶シリコン基板22の表面に、単結晶シリコン基板21の凹凸面を直接接合する。

次に、第20図に示すように、熱酸化により単結晶シリコン基板22と単結晶シリコン基板21との対向面にシリコン酸化膜23を形成する。そして、第21図に示すように、単結晶シリコン基板21の上面側をシリコン酸化膜23が露出するまで研磨する。次に、第22図に示すように、シリコン酸化膜23を除去した後、単結晶シリコン基板21の上面にシリコン酸化膜24を形成する。

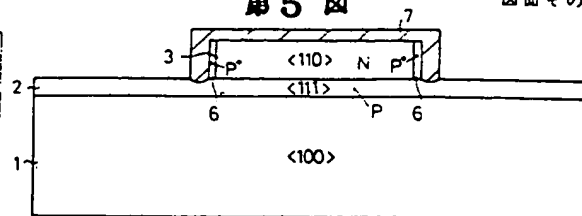
引き続き、第23図に示すように、単結晶シリコン基板22の上面にN型のエピタキシャル層25を形成する。その後、第24図に示すように、エピタキシャル層25の表面を所定量除去して表

第2図

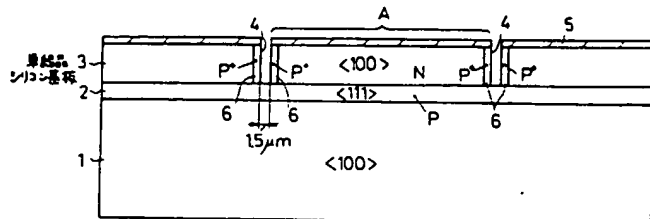


第5図

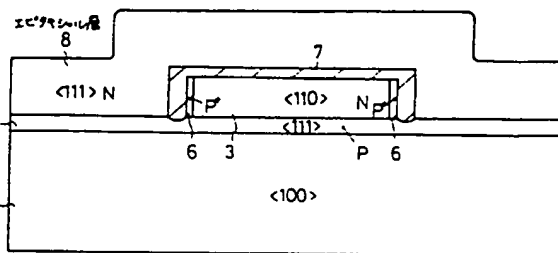
図面その2



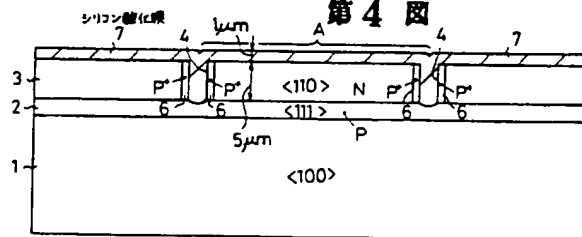
第3図



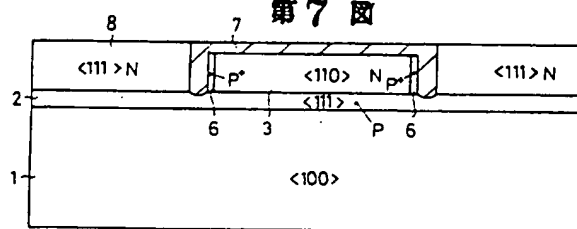
第6図



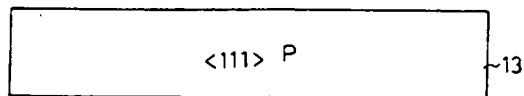
第4図



第7図

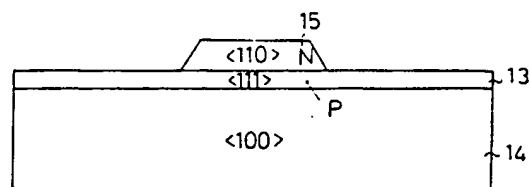


第9図

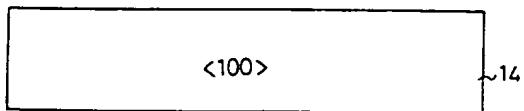


第13図

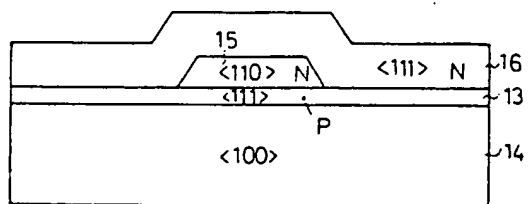
図面その3



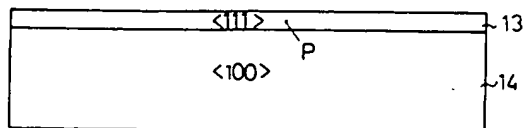
第10図



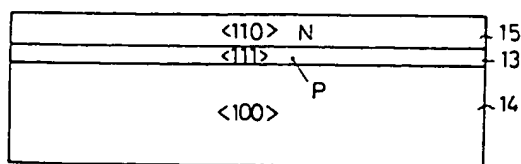
第14図



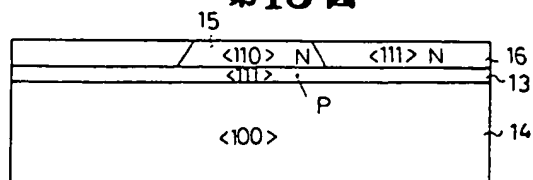
第11図



第12図

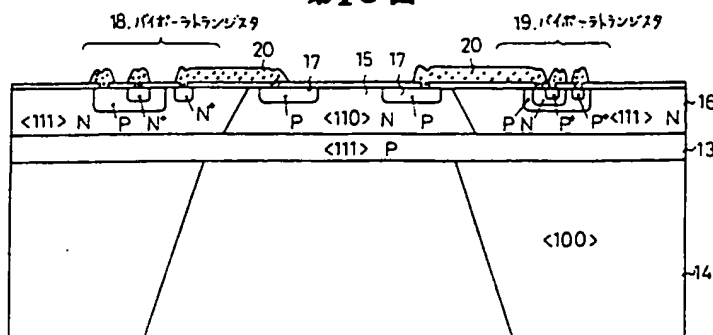


第15図

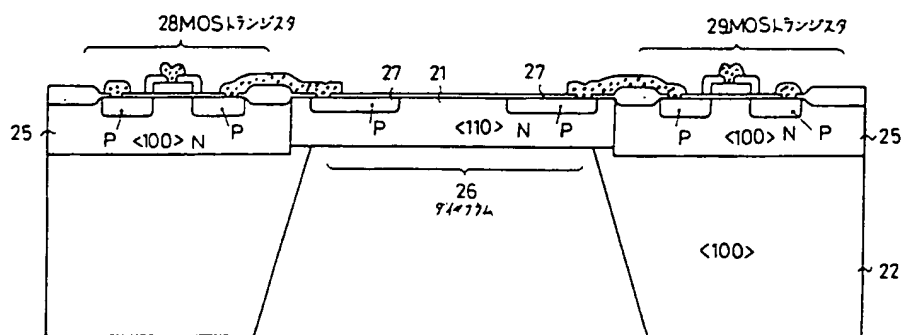


図面その8

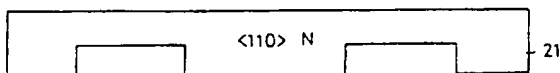
第16図



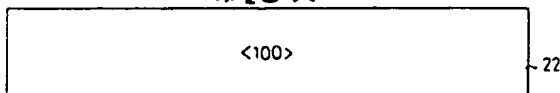
第25図



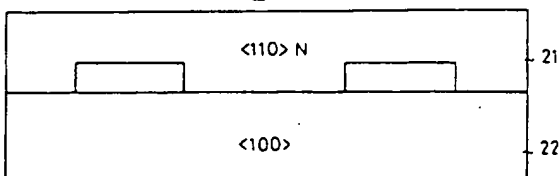
第17図



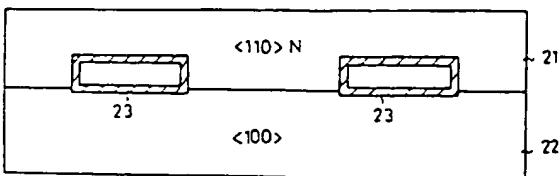
第18図



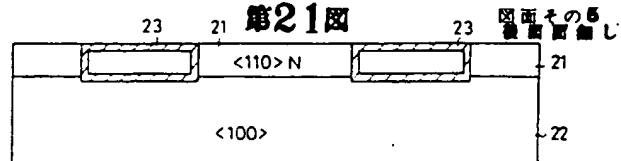
第19図



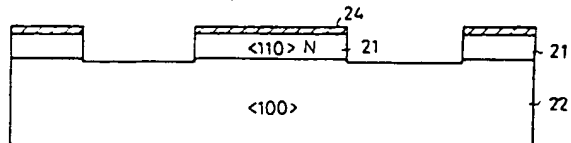
第20図



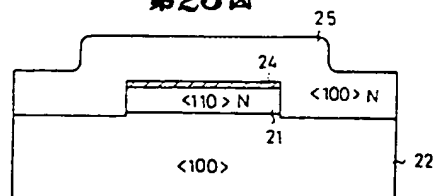
第21図



第22図



第23図



第24図

